



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10335470 A**(43) Date of publication of application: **18 . 12 . 98**

(51) Int. Cl. **H01L 21/82**  
**G06F 17/50**  
**H01L 27/04**  
**H01L 21/822**

(21) Application number: **09146452**(71) Applicant: **HITACHI LTD**(22) Date of filing: **04 . 06 . 97**(72) Inventor: **HIROSE KENJI**

(54) **METHOD FOR DESIGNING SEMICONDUCTOR  
 INTEGRATED CIRCUIT AND SEMICONDUCTOR  
 INTEGRATED CIRCUIT**

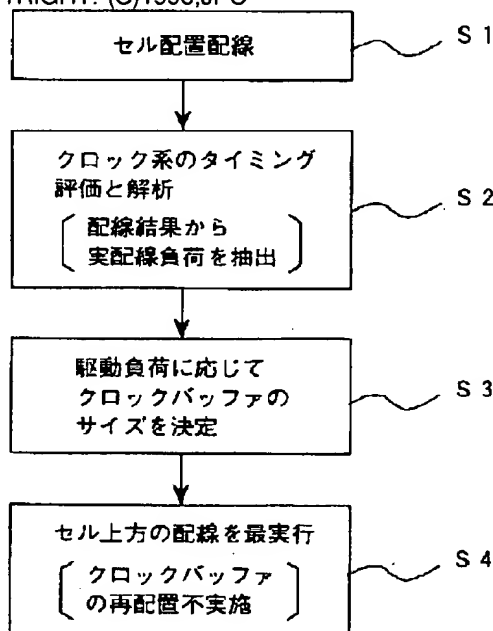
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for designing a semiconductor integrated circuit that can control the delay of a clock signal with a high accuracy for the clock supply system of the semiconductor integrated circuit.

**SOLUTION:** A design method includes a sequence circuit cell that is synchronized to a clock signal, a combination circuit cell that is operated by receiving the sequence circuit cell, an arrangement wiring treatment (S1) for a clock buffer cell for supplying a clock signal to the above sequence circuit cell, a treatment (S2) for analyzing the drive load of the clock buffer in a clock supply system that is obtained by the arrangement wiring treatment, and treatments (S3 and S4) for setting the drive capacity of the clock buffer according to the drive load of the clock buffer. The driving capacity is set according to the load of the clock buffer cell that is gripped by the arrangement wiring of the clock buffer cell, thus accurately

controlling the skew of the clock signal.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335470

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

W

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 K

H 0 1 L 27/04

H 0 1 L 27/04

A

21/822

D

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号

特願平9-146452

(22) 出願日

平成9年(1997)6月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 廣瀬 健志

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 玉村 静世

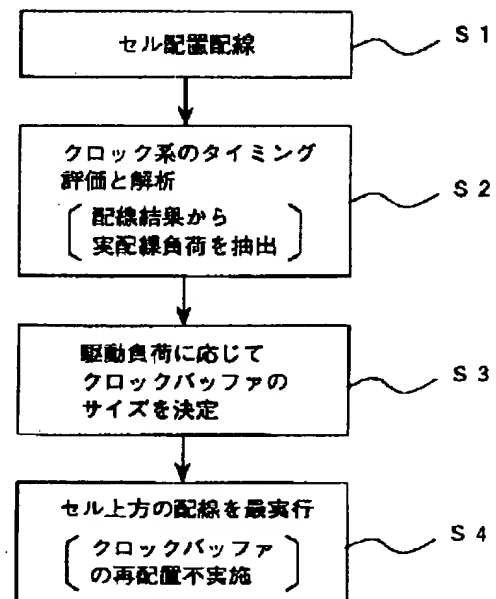
(54) 【発明の名称】 半導体集積回路の設計方法及び半導体集積回路

(57) 【要約】

【課題】 半導体集積回路のクロック供給系に対して高い精度でクロック信号の遅延制御を行うことができる半導体集積回路の設計方法を提供する。

【解決手段】 クロック信号に同期動作される順序回路セルと、順序回路セルの出力を受けて動作される組合せ回路セルと、前記順序回路セルにクロック信号を供給するためのクロックバッファセルとに対する配置配線処理 (S1) と、該配置配線処理にて得られたクロック供給系におけるクロックバッファの駆動負荷を解析する処理 (S2) と、クロックバッファの駆動負荷に応じてクロックバッファの駆動能力を設定する処理 (S3, S4) とを含む。クロックバッファセルの配置配線によって把握されるクロックバッファセルの負荷に応じてその駆動能力を設定するから、クロック信号のスキューを高精度に制御することができる。

【図1】



## 【特許請求の範囲】

【請求項1】 クロック信号に同期動作される順序回路セルと、順序回路セルの出力を受けて動作される組合せ回路セルと、前記順序回路セルにクロック信号を供給するためのクロックバッファセルとを配置すると共に、配置される前記順序回路セル、組合せ回路セル及びクロックバッファセルを信号配線とクロック配線で結合する配置配線処理と、

前記配置配線処理にて得られたクロック供給系における夫々のクロックバッファセルが駆動すべき負荷を解析する処理と、

解析されたクロックバッファセルの駆動負荷に応じてクロックバッファセルの駆動能力を設定する処理とを含むことを特徴とする半導体集積回路の設計方法。

【請求項2】 前記各々のクロックバッファセルは並列配置された複数のドライバユニットを有し、前記クロックバッファセルの駆動能力を設定する処理は前記クロックバッファセルの駆動負荷に応じて前記複数のドライバユニットの内の全部又は一部を当該クロックバッファセル内でクロック配線に接続する処理であることを特徴とする請求項1に記載の半導体集積回路の設計方法。

【請求項3】 前記クロックバッファセルの駆動能力を設定する処理は、前記クロックバッファセルの駆動負荷に応じて、セルサイズ及び端子位置が相互に等しく駆動能力の異なる複数のクロックバッファセルの中から別のクロックバッファセルを選択してクロックバッファセルの置き換えを行う処理であることを特徴とする請求項1記載の半導体集積回路の設計方法。

【請求項4】 クロック信号に同期動作される複数の順序回路を含む半導体集積回路であって、前記クロック信号を順序回路に導くクロック配線にクロックバッファが介在され、前記クロックバッファは、並列配置された複数のドライバユニットを有し、前記クロックバッファが駆動すべき負荷に応じて前記複数のドライバユニットの内の全部又は一部が、クロック配線に接続されて成るものであることを特徴とする半導体集積回路。

【請求項5】 前記ドライバユニットは、CMOS回路であり、クロック配線に非接続状態にされるドライバユニットの入力端子は電源電圧又は接地電圧に接続されて成るものであることを特徴とする請求項4に記載の半導体集積回路。

【請求項6】 クロック信号に同期動作される順序回路セルと、順序回路セルの出力を受けて動作される組合せ回路セルと、前記順序回路セルにクロック信号を供給するためのクロックバッファセルとを配置すると共に、配置される前記順序回路セル、組合せ回路セル及びクロックバッファセルを信号配線とクロック配線で結合すると共に、前記組合せ回路セルと前記順序回路セルとを接続する信号配線にドライバセルを配置する配置配線処理と、

前記配置配線処理にて得られた信号供給系における夫々のドライバセルが駆動すべき負荷を解析する処理と、解析されたドライバセルの駆動負荷に応じてドライバセルの駆動能力を設定する処理とを含むことを特徴とする半導体集積回路の設計方法。

【請求項7】 前記各々のドライバセルは並列配置された複数のドライバユニットを有し、前記ドライバセルの駆動能力を設定する処理は前記ドライバセルの駆動負荷に応じて前記複数のドライバユニットの内の全部又は一部を当該ドライバセル内で前記信号配線に接続する処理であることを特徴とする請求項6に記載の半導体集積回路の設計方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路におけるクロック及び信号供給技術に関し、例えばマイクロプロセッサ、マイクロコンピュータ、データプロセッサなどの半導体集積回路及びその設計方法に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】クロック同期型の半導体集積回路ではクロックスキューを考慮しなければならない。クロックスキューとは、フリップフロップのような複数の状態要素にクロック信号のエッジ変化又はレベル変化が到達する時間差である。例えば組合せ論理回路の前後に配置されたフリップフロップをノンオーバーラップ2相のクロック信号を用いて動作させるとき、前記2相クロック信号のクロックスキューが大きくなり過ぎると、前段のフリップフロップに入力されたデータが組合せ論理回路を通る前に後段のフリップフロップがラッチ動作を行って、誤動作を生ずる。

【0003】クロック供給系の設計においては、不所望なクロックスキューの発生を抑えるために、同一系統のクロック供給系に配置するクロックバッファセルの種類やセルの段数を統一化し、クロック配線の長さについては配線長の短いものを長いものに合わせ込み、更にはクロック配線にダミーの遅延ゲートを挿入するという手法を採用することができる。

【0004】尚、クロック供給方式について記載された文献の例としては、日経BP社発行（1996年4月19日）の「コンピュータの構成と設計[上]」第692頁～第696頁がある。

## 【0005】

【発明が解決しようとする課題】しかしながら、クロック供給系における伝播遅延時間の大きいものに小さいものを合わせたり、ダミーの遅延ゲートを挿入するという手法は、クロックバッファの全体的な駆動負荷が大きくなり、消費電力の増大につながる。

【0006】また、タイミング制約の厳しいクロック供給系や、クリティカルパスを形成するセルに対しては、

上記手法を採用するのは難しいことが本発明者によって明らかにされた。その場合には、セルの配置及び配線を変更しなければならなくなる。

【0007】また、クリティカルパスを構成する信号経路に関しても、その経路での信号遅延が許容限度を超える場合には、セルの配置及び配線を変更することが必要になる。

【0008】本発明の目的は、半導体集積回路のクロック供給や信号伝達系に対して高い精度でクロック信号や伝達信号の遅延制御を行うことができる半導体集積回路の設計方法を提供することにある。

【0009】本発明の別の目的は、クロック供給系や信号伝達系で消費される無駄な電力を削減できる半導体集積回路及び半導体集積回路の設計方法を提供することにある。

【0010】本発明のその他の目的は、クロックスキューを最適化するための設計期間を短縮できる半導体集積回路の設計方法を提供することにある。

【0011】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】すなわち、半導体集積回路のクロック供給系に着目した設計方法は、クロック信号に同期動作される順序回路セルと、順序回路セルの出力を受けて動作される組合せ回路セルと、前記順序回路セルにクロック信号を供給するためのクロックバッファセルとを配置すると共に、配置される前記順序回路セル、組合せ回路セル及びクロックバッファセルを信号配線とクロック配線で結合する配置配線処理と、前記配置配線処理にて得られたクロック信号の供給系における夫々のクロックバッファセルの駆動負荷を解析する処理と、解析されたクロックバッファの駆動負荷に応じてクロックバッファの駆動能力を設定する処理とを含む。

【0014】この方法によれば、クロックバッファセルの配置配線によって把握されるクロックバッファセルの駆動負荷に応じてクロックバッファセルの駆動能力を設定するから、クロック信号のスキューを高精度に制御することができる。そのとき、回路セルの再配置を要しないから、設計期間の短縮にも寄与する。また、クロック配線を最も負荷の大きいものに合わせ込んだり、ダミーゲートを配置しなくても済むから、低消費電力にも寄与できる。

【0015】前記各々のクロックバッファセルは、並列配置された複数のドライバユニットを備えて構成できる。前記クロックバッファセルの駆動能力を設定する処理は、前記クロックバッファセルの駆動負荷に応じて前

記複数個のドライバユニットの内の全部又は一部を当該クロックバッファセル内でクロック配線に接続する処理とすることができる。そのようなクロックバッファセルを用いることにより、クロックバッファセルの駆動能力を設定するための配線変更部位をクロックバッファセル内の局所的な部分に制限できるため、クロックバッファセルの駆動能力を決定する処理は極めて簡単になる。駆動能力の決定においてクロックバッファセルそれ自体の再配置は行わないから、一旦解析されたクロックバッファの駆動負荷は変化されず、このことも、クロック系の設計を容易化することを保証する。

【0016】また、前記クロックバッファの駆動能力を設定する処理は、前記クロックバッファの駆動負荷に応じて、セルサイズ及び端子位置が相互に等しく駆動能力の異なる複数のクロックバッファセルの中から別のクロックバッファセルを選択してクロックバッファセルの置き換えを行う処理とすることもできる。

【0017】上記設計方法は、クロック信号に同期動作される複数の順序回路を含む半導体集積回路に適用でき、その半導体集積回路は、前記クロック信号を順序回路に導くクロック配線にクロックバッファが介在され、前記クロックバッファは、並列配置された複数のドライバユニットを有し、前記クロックバッファが駆動すべき負荷に応じて前記複数のドライバユニットの内の全部又は一部が、クロック配線に接続されて成る。この半導体集積回路は、上記より明らかなように、クロック供給系における低消費電力が達成されている。前記ドライバユニットをCMOS回路で構成するとき、クロック配線に非接続状態にされる前記ドライバユニットの入力端子を電源電圧又は接地電圧に強制することにより、低消費電力は更に万全となる。

【0018】上記クロック供給系に係る手段は、順序回路と組合せ回路とを接続する信号供給系にも適用することができる。

【0019】すなわち、半導体集積回路の信号伝達系に着目した設計方法は、クロック信号に同期動作される順序回路セルと、順序回路セルの出力を受けて動作される組合せ回路セルと、前記順序回路セルにクロック信号を供給するためのクロックバッファセルとを配置すると共に、配置される前記順序回路セル、組合せ回路セル及びクロックバッファセルを信号配線とクロック配線で結合すると共に、前記組合せ回路セルと順序回路セルとを接続する信号配線にドライバセルを配置する配置配線処理と、前記配置配線処理にて得られた信号供給系における夫々のドライバセルの駆動負荷を解析する処理と、解析されたドライバセルの駆動負荷に応じてドライバセルの駆動能力を設定する処理とを含む。

【0020】この方法によれば、ドライバセルの配置配線によって把握されるドライバセルの駆動負荷に応じてドライバセルの駆動能力を設定するから、セルの配置配

線を変更することなく伝達信号の遅延を高精度に制御することができる。

#### 【0021】

【発明の実施の形態】図1には本発明に係る半導体集積回路の設計方法の一例がフローチャートによって示される。同図に示されるフローチャートは、半導体集積回路のクロック供給系に着目したものである。図1に示される設計方法は、配置配線処理S1、クロック系の評価及び解析処理S2、クロックバッファサイズの決定処理S3、そしてクロックバッファ内の配線処理S4を含んでいる。特に図示はしないが、上記半導体集積回路の設計は、エンジニアリングワークステーションなどのコンピュータシステムを用いて行われる。

【0022】前記配置配線処理S1は、例えば図2に示されるような回路を想定すると、クロック信号φ1、φ2に同期動作される順序回路セル10～13と、順序回路セルの出力を受けて動作される組合せ回路セル20～22と、前記順序回路セル10、12、11、13にクロック信号φ1、φ2を供給するためのクロックバッファセル30、31とを配置すると共に、配置される前記順序回路セル10～13、組合せ回路セル20～22及びクロックバッファセル30、31を配線で結合する処理である。このときの配線処理は、例えば、前記順序回路セル10～13及び組合せ回路セル20～22の信号配線40～47を決定すると共に、クロックバッファセル30、31から順序回路セル10～13へのクロック配線50～53を決定する処理である。図2において前記クロック信号φ1、φ2はノンオーバーラップ2相クロック信号を想定している。前記順序回路セル10～13は一例としてD型フリップフロップとされ、Dはデータ入力端子、Qはデータ出力端子、Cはクロック入力端子を意味する。図2に示される回路構成は極めて単純化されているが、これは理解を容易化するためであり、実際は膨大な論理が構成されることになる。

【0023】図3には前記配置配線処理S1による別の例が示されている。図3において60～67は順序回路セル、70～75はクロックバッファセル、80～87はクロック配線である。図3では組合せ回路セル及び信号配線は図示を省略してある。φ3はクロック信号である。

【0024】前記クロック系の評価及び解析処理S2は、図2及び図3に例示される配置配線の結果に対して、クロックバッファの駆動負荷を解析する処理である。例えば図3の例に従えば、実際のクロック配線80～87の長さ、クロック配線80～87に接続される順序回路の数、そして、クロック配線80～87に寄生する容量成分などを考慮して、各々のクロック配線の負荷を解析する。上記配置配線処理S1では、系統の同じクロック配線を等長化したり、等長化できない場合には短い配線を長い配線に合わせ込んだり、遅延成分を構成す

るダミーゲートをクロック配線に介在させたりする処理は行われず。したがって、この段階ではクロックスキューは制御されていない。

【0025】クロックスキューの制御は前記クロックバッファサイズの決定処理S3及びクロックバッファ内の配線処理S4によって行うことになる。双方の処理S3、S4は、以下に詳述するように、解析されたクロックバッファの駆動負荷に応じてクロックバッファの駆動能力（クロックバッファのトランジスタサイズ）を決定する処理とされる。

【0026】図4には図1の設計方法に用いられるクロックバッファセル30、31、70～75の一例が示される。図においてOUTはクロックバッファセルの出力端子、INはクロックバッファセルの入力端子である。クロックバッファセルは、並列配置された複数のドライバユニット、例えば4個のCMOSインバータユニットIV1～IV4を備える。当初、各々のCMOSインバータユニットIV1～IV4の入力端子i1～i4と出力端子o1～o4とは、前記クロックバッファセルの入力端子INと出力端子OUTとの接続状態が決定（確定）されていない。

【0027】クロックバッファサイズの決定処理S3では、当該クロックバッファセルが駆動すべき負荷に応じて、4個のCMOSインバータユニットIV1～IV4の中の幾つを入力端子IN及び出力端子OUTに接続するかを決定する。入力端子IN及び出力端子OUTに接続するCMOSインバータユニットの数が多ければ、クロックバッファを構成する回路のトランジスタサイズが大きくなり、それによって、クロックバッファセルの負荷駆動能力が増す。

【0028】例えば図3の例に従うと、各々の順序回路セルに到達するクロック信号のスキューを小さくするには、前段のクロックバッファ70、71に関してはクロック配線81がクロック配線82よりも長いので、クロックバッファ70の方に大きなトランジスタサイズが設定されることになる。後段のクロックバッファ72～75に関しては、72、73、75、74の順に大きな駆動能力が必要になるので、それによって、クロックバッファ72～75のトランジスタサイズが決定される。

【0029】クロックバッファ内の配線処理S4は、前記処理S3の結果にしたがって、CMOSインバータユニットを入力端子INと出力端子OUTに接続する処理である。接続が非選択とされたCMOSインバータユニットの入力端子は電源電圧又は接地電圧に接続され、貫通電流の発生が阻止される。

【0030】図5には前記クロックバッファセルのデバイス構造の一例が示される。図5においてMTL1は第1メタル配線層、MTL2は第2メタル配線層、PSiはポリシリコン層、DIFは拡散層、CTHはコンタクトホール、TRHはスルーホールである。電源電圧V

c cが供給される電源配線90はpチャンネル型MOSトランジスタのソースを構成する拡散層92、93にコンタクトホールCTHを介して結合される。接地電圧GNDが供給される電源配線91はnチャンネル型MOSトランジスタのソースを構成する拡散層94、95にコンタクトホールCTHを介して結合される。96~99はpチャンネル型MOSトランジスタとnチャンネル型MOSトランジスタとに共通のゲート電極である。図5のクロックバッファのデバイス構造から明らかなように、入力端子IN、出力端子OUTとCMOSインバータユニットの入力端子、出力端子との接続はクロックバッファセルの領域内で局所的に行えば十分である。

【0031】上記設計方法によれば、クロックバッファセルを配置配線した後に把握されるクロックバッファセルの駆動負荷に応じてクロックバッファセルの駆動能力を決定するからクロック信号のスキューを高精度に制御することができる。しかも、回路セルの再配置を要しないから、設計期間の短縮にも寄与する。また、クロック配線を最も負荷の大きいものに合わせ込んだり、ダミーゲートを配置しなくても済むので低消費電力にも寄与できる。特に図4に例示したようにトランジスタサイズを選択可能なクロックバッファセルを用いることにより、クロックバッファセルの駆動能力を設定するための配線変更部位をクロックバッファセル内の局所的な部分に制限でき、クロックバッファセルの駆動能力を決定する処理を極めて簡単に行うことができる。駆動能力の決定においてクロックバッファセルそれ自体の再配置は行わないから、一旦解析されたクロックバッファの駆動負荷は変化されず、このことも、クロック系の設計を容易化することを保証する。

【0032】上記設計方法は、クロック信号に同期動作される複数の順序回路を含む半導体集積回路に適用でき、その半導体集積回路は、図2及び図4の内容から明らかなように、クロック信号φ1、φ2を順序回路(10~13)に導くクロック配線(50~53)にクロックバッファ(30、31)が介在され、前記クロックバッファは、並列配置された複数のCMOSインバータユニット(IV1~IV4)を有し、前記クロックバッファの駆動負荷に応じて前記CMOSインバータユニット(IV1~IV4)の内の全部又は一部が、クロック配線に接続されて構成される。この半導体集積回路は、上記より明らかなように、クロック供給系における低消費電力が達成されている。

【0033】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0034】例えば、クロックバッファセルが複数のCMOSインバータユニットによって構成される場合にそのCMOSインバータユニットの並列配置数は4個の

限定されず2個、8個などの数であってもよい。また、半導体集積回路の設計で用いるクロックバッファセルの種類は1種類であることに限定されず、複数種類であってもよい。すなわち、最大駆動能力の異なるクロックバッファを選択して用いることができる。例えばクロックバッファの出力の分岐数に応じて最大駆動能力の異なるクロックバッファを割り当て、後からバッファの駆動負荷に応じて各々のクロックバッファのトランジスタサイズを決定するような処理も採用可能である。或いは、クロック配線の上流側と下流側でクロックバッファセルを使い分けることも可能である。

【0035】また、上記の例では、バッファ駆動負荷に応じてトランジスタサイズを選択するようにクロックバッファセル内の配線を決定したが、予めセルサイズ及び端子位置が相互に等しく駆動能力の異なる複数のクロックバッファセルを用意しておき、前記クロックバッファセルの駆動能力を決定するとき、クロックバッファセルの駆動負荷に応じて、セルサイズ及び端子位置が相互に等しく駆動能力の異なる複数のクロックバッファセルの中から最適なクロックバッファセルを選択してクロックバッファセルの置き換えを行うようにしてもよい。この場合にも、セル配置は変更されないもので、上記の場合と同じ効果を得ることができる。

【0036】また、上記の例では専らクロック供給系を一例としたが、上記内容は、順序回路と組合せ回路を接続する信号配線上での信号伝達の遅延制御にも適用することができる。例えば図2に例示された信号配線40~47の適宜の位置に図4に例示された回路と同じ構成を有するドライバセルを配置する。このドライバセルに対しても、上記同様、当該ドライバセルが駆動すべき負荷に応じて、その駆動能力を決定する。例えば、クリティカルパスを構成する信号伝達経路にそのような手段を講ずることにより、セルや配線の再配置を行うことなく、クリティカルパス上の信号伝達遅延を許容限度内に入れることが可能になる。

【0037】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0038】すなわち、クロックバッファセルの配置配線によって把握されるクロックバッファセルの負荷に応じてクロックバッファセルの駆動能力を設定するから、クロック信号のスキューを高精度に制御することができる。しかも、回路セルの再配置を要しないから、クロックスキューを最適化するための設計期間も短縮できる。また、クロック配線を最も負荷の大きいものに合わせ込んだり、ダミーゲートを配置しなくても済むので低消費電力にも寄与できる。

【0039】また、クロックバッファセルの駆動負荷に応じてそのトランジスタサイズを決定する手法を採用す

10

20

30

40

50

ることにより、クロックバッファセルの駆動能力を決定するための配線変更部位をクロックバッファセル内の局所的な部分に制限でき、クロックバッファの駆動能力を簡単に設定できる。

【0040】また、ドライバセルの配置配線によって把握されるドライバセルの駆動負荷に応じてドライバセルの駆動能力を決定するから、クリティカルパスなどの信号伝達系における信号遅延を高精度に制御することができる。このとき回路セルの再配置を必要としない。

【図面の簡単な説明】

【図１】本発明に係る半導体集積回路の設計方法の一例を示すフローチャートである。

【図2】図1に示される配置配線処理によって得られる回路構成の一例を示すブロック図である。

【図3】図1に示される配置配線処理によって得られる回路構成の別の例を示すブロック図である。

【図4】クロックバッファセルの論理構成の一例を示す論理回路図である。

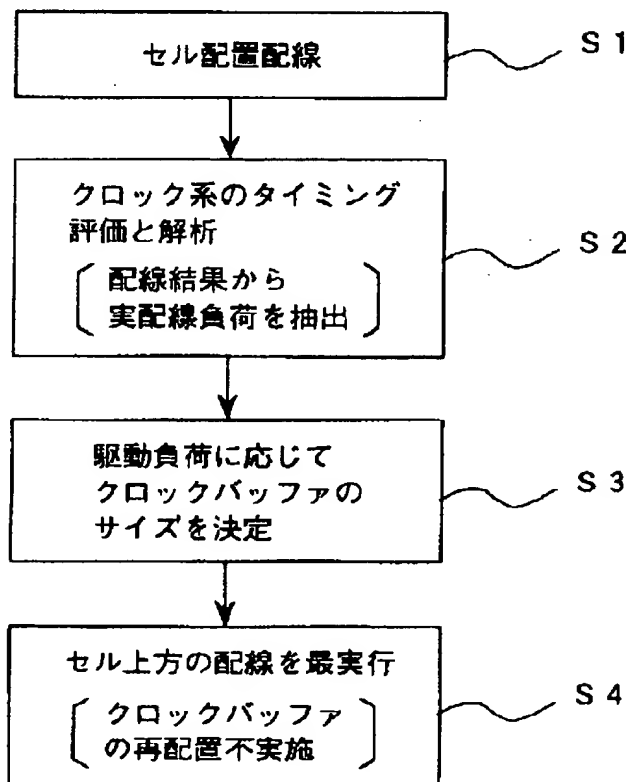
【図5】クロックバッファセルのデバイス構造の一例を示す平面図である。

【符号の説明】

- 10～13 順序回路セル
- 20～22 組み合わせ回路セル
- 30, 31 クロックバッファセル
- 40～47 信号配線
- 50～52 クロック配線
- 60～67 順序回路セル
- 70～75 クロックバッファセル
- 80～87 クロック配線
- OUT クロックバッファセルの出力端子
- IN クロックバッファセルの入力端子
- IV1～IV4 CMOSインバータユニット
- o1～o4 CMOSインバータユニットの出力端子
- i1～i4 CMOSインバータユニットの入力端子
- $\phi 1, \phi 2, \phi 3$  クロック信号

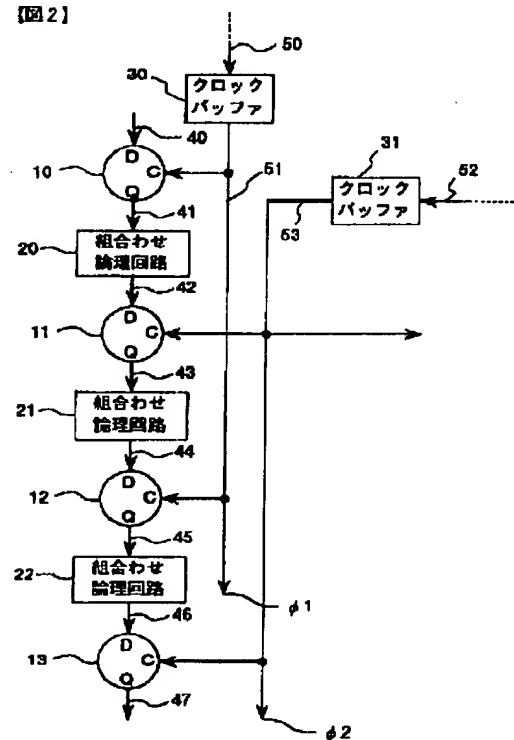
【例 1】

【圖 1】

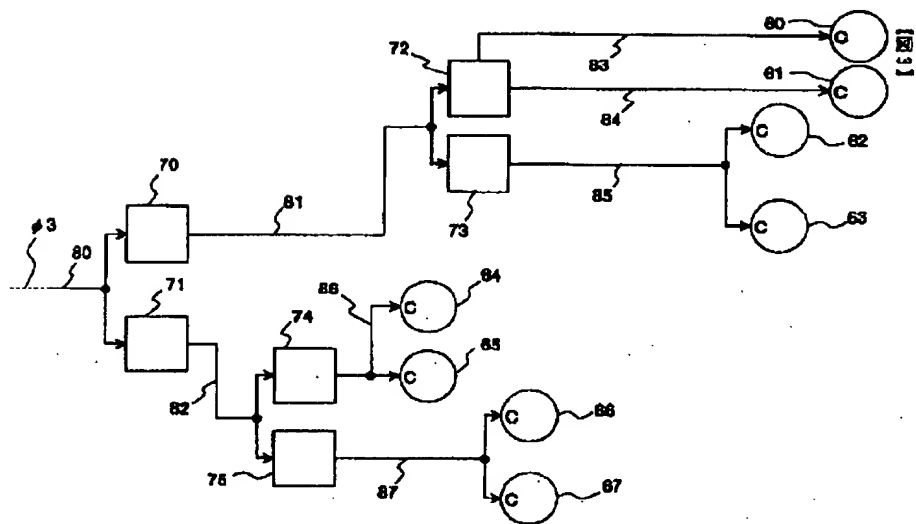


【图 2】

**【圖 2】**



【图 3】



【例 4】

【圖 4】

